

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kunihiro YAHAGI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: MEMORY CONTROLLER, SEMICONDUCTOR INTEGRATED CIRCUIT, AND METHOD FOR CONTROLLING A MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2003-194467

July 9, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    7 月    9 日  
Date of Application:

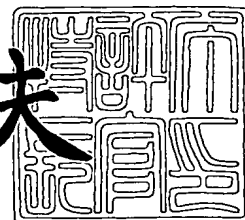
出 願 番 号            特 願 2 0 0 3 - 1 9 4 4 6 7  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 9 4 4 6 7 ]

出    願    人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年    9 月    2 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 ACB029058

【提出日】 平成15年 7月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/06  
H04N 7/32

【発明の名称】 メモリ制御回路、半導体集積回路及びメモリ制御方法

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 矢萩 邦彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ制御回路、半導体集積回路及びメモリ制御方法

【特許請求の範囲】

【請求項 1】 メモリが有する複数のバンクのそれぞれに対するコマンドリクエストに応じて複数のステート情報をそれぞれ生成するステート生成部と、

前記複数のステート情報の有効性の有無をそれぞれ指示する複数のイネーブル信号を生成するイネーブル信号生成部と、

前記複数のステート情報と前記複数のイネーブル信号とに基づいてコマンドを生成するバンク制御回路

とを備えることを特徴とするメモリ制御回路。

【請求項 2】 前記ステート生成部は、

前記複数のステート情報の 1 つである第 1 ステート情報及び前記第 1 ステート情報の 1 クロックサイクル後のステートを示す第 1 の次サイクルステート情報を生成する第 1 ステート生成回路と、

前記複数のステート情報の 1 つである第 2 ステート情報及び前記第 2 ステート情報の 1 クロックサイクル後のステートを示す第 2 の次サイクルステート情報を生成する第 2 ステート生成回路

とを備えることを特徴とする請求項 1 に記載のメモリ制御回路。

【請求項 3】 第 1 及び第 2 コマンドリクエストを前記複数のバンクのそれぞれに対するコマンドリクエストとして前記第 1 及び第 2 ステート生成回路にそれぞれ供給するデマルチプレクサを更に供えることを特徴とする請求項 2 に記載のメモリ制御回路。

【請求項 4】 前記第 1 ステート生成回路は、

前記第 1 コマンドリクエスト及び前記第 1 ステート情報に基づいて前記第 1 の次サイクルステート情報を作成する第 1 ステートマシンと、

前記第 1 の次サイクルステート情報をラッチし、前記第 1 ステート情報として

前記バンク制御回路に供給する第1ステートレジスタ

とを備えることを特徴とする請求項3に記載のメモリ制御回路。

【請求項5】 前記第2ステート生成回路は、

前記第2コマンドリクエスト及び前記第2ステート情報に基づいて前記第2の次サイクルステート情報を作成する第2ステートマシンと、

前記第2の次サイクルステート情報をラッチし、前記第2ステート情報として前記バンク制御回路に供給する第2ステートレジスタ

とを備えることを特徴とする請求項3に記載のメモリ制御回路。

【請求項6】 前記イネーブル信号生成部は、

前記第1及び第2の次サイクルステート情報に基づいて前記複数のイネーブル信号の1つである第1イネーブル信号を生成する第1イネーブル信号生成回路と

、  
前記第1及び第2の次サイクルステート情報に基づいて前記複数のイネーブル信号の1つである第2イネーブル信号を生成する第2イネーブル信号生成回路

とを備えることを特徴とする請求項2に記載のメモリ制御回路。

【請求項7】 前記第1イネーブル信号生成回路は、

前記第1及び第2の次サイクルステート情報を優先度付けして第1の次サイクルイネーブル信号を生成する第1判定回路と、

前記第1の次サイクルイネーブル信号をラッチし、前記第1イネーブル信号として前記バンク制御回路に供給する第1イネーブルレジスタ

とを備えることを特徴とする請求項6に記載のメモリ制御回路。

【請求項8】 前記第2イネーブル信号生成回路は、

前記第1及び第2の次サイクルステート情報を優先度付けして第2の次サイクルイネーブル信号を生成する第2判定回路と、

前記第2の次サイクルイネーブル信号をラッチし、前記第2イネーブル信号と

して前記バンク制御回路に供給する第2イネーブルレジスタ  
とを備えることを特徴とする請求項6に記載のメモリ制御回路。

【請求項9】 前記状態生成部は、

前記複数の状態情報の1つである第3状態情報及び前記第3状態情報の1クロックサイクル後の状態を示す第3の次サイクル状態情報を生成する第3状態生成回路と、

前記複数の状態情報の1つである第4状態情報及び前記第4状態情報の1クロックサイクル後の状態を示す第4の次サイクル状態情報を生成する第4状態生成回路

とを更に備えることを特徴とする請求項2に記載のメモリ制御回路。

【請求項10】 第1～第4コマンドリクエストを前記複数のバンクのそれぞれに対するコマンドリクエストとして前記第1～第4状態生成回路にそれぞれ供給するデマルチプレクサを更に供えることを特徴とする請求項9に記載のメモリ制御回路。

【請求項11】 前記第3状態生成回路は、

前記第3コマンドリクエスト及び前記第3状態情報に基づいて前記第3の次サイクル状態情報を作成する第3状態マシンと、

前記第3の次サイクル状態情報をラッチし、前記第3状態情報として前記バンク制御回路に供給する第3状態レジスタ

とを備えることを特徴とする請求項10に記載のメモリ制御回路。

【請求項12】 前記第4状態生成回路は、

前記第4コマンドリクエスト及び前記第4状態情報に基づいて前記第4の次サイクル状態情報を作成する第4状態マシンと、

前記第4の次サイクル状態情報をラッチし、前記第4状態情報として前記バンク制御回路に供給する第4状態レジスタ

とを備えることを特徴とする請求項 10 に記載のメモリ制御回路。

【請求項 13】 前記イネーブル信号生成部は、

前記第 1 ～第 4 の次サイクルステート情報に基づいて前記第 1 イネーブル信号を生成する第 1 イネーブル信号生成回路と、

前記第 1 ～第 4 の次サイクルステート情報に基づいて前記第 2 イネーブル信号を生成する第 2 イネーブル信号生成回路と、

前記第 1 ～第 4 の次サイクルステート情報に基づいて前記第 3 イネーブル信号を生成する第 3 イネーブル信号生成回路と、

前記第 1 ～第 4 の次サイクルステート情報に基づいて前記第 4 イネーブル信号を生成する第 4 イネーブル信号生成回路

とを備えることを特徴とする請求項 9 に記載のメモリ制御回路。

【請求項 14】 前記第 1 イネーブル信号生成回路は、

前記第 1 ～第 4 の次サイクルステート情報を優先度付けして第 1 の次サイクルイネーブル信号を生成する第 1 判定回路と、

前記第 1 の次サイクルイネーブル信号をラッチし、前記第 1 イネーブル信号として前記バンク制御回路に供給する第 1 イネーブルレジスタ

とを備えることを特徴とする請求項 13 に記載のメモリ制御回路。

【請求項 15】 前記第 2 イネーブル信号生成回路は、

前記第 1 ～第 4 の次サイクルステート情報を優先度付けして第 2 の次サイクルイネーブル信号を生成する第 2 判定回路と、

前記第 2 の次サイクルイネーブル信号をラッチし、前記第 2 イネーブル信号として前記バンク制御回路に供給する第 2 イネーブルレジスタ

とを備えることを特徴とする請求項 13 に記載のメモリ制御回路。

【請求項 16】 前記第 3 イネーブル信号生成回路は、

前記第 1 ～第 4 の次サイクルステート情報を優先度付けして第 3 の次サイクル



イネーブル信号を生成する第3判定回路と、

前記第3の次サイクルイネーブル信号をラッチし、前記第3イネーブル信号として前記バンク制御回路に供給する第3イネーブルレジスタ  
とを備えることを特徴とする請求項13に記載のメモリ制御回路。

【請求項17】 前記第4イネーブル信号生成回路は、  
前記第1～第4の次サイクルステート情報を優先度付けして第4の次サイクルイネーブル信号を生成する第4判定回路と、  
前記第4の次サイクルイネーブル信号をラッチし、前記第4イネーブル信号として前記バンク制御回路に供給する第4イネーブルレジスタ  
とを備えることを特徴とする請求項13に記載のメモリ制御回路。

【請求項18】 半導体チップと、  
前記半導体チップ上に集積化され、メモリが有する複数のバンクのそれぞれに対するコマンドリクエストに応じて複数のステート情報及び前記複数のステート情報の有効性の有無を指示する複数のイネーブル信号をそれぞれ生成してメモリを制御するメモリ制御回路と、  
前記半導体チップ上に集積化され、各種信号処理を実行して前記コマンドリクエストを前記メモリ制御回路に伝達する信号処理回路  
とを備えることを特徴とする半導体集積回路。

【請求項19】 前記メモリ制御回路は、  
前記複数のステート情報を生成するステート生成部と、  
前記複数のイネーブル信号を生成するイネーブル信号生成部と、  
前記複数のステート情報と前記複数のイネーブル信号とに基づいてコマンドを生成するバンク制御回路  
とを備えることを特徴とする請求項18に記載の半導体集積回路。

【請求項20】 メモリが有する複数のバンクのそれぞれに対するコマンドリ

クエストに応じて複数のステート情報をそれぞれ生成し、

前記複数のステート情報の有効性の有無をそれぞれ指示する複数のイネーブル信号を生成し、

前記複数のステート情報と前記複数のイネーブル信号とに基づいてコマンドを生成する

ことを含むことを特徴とするメモリ制御方法。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、シンクロナス D R A M ( S D R A M ) に関し、特に S D R A M を制御するメモリ制御回路、半導体集積回路及びメモリ制御方法に関する。

##### 【 0 0 0 2 】

#### 【従来の技術】

エムペグ ( M P E G ) コーデックに使用するフレームメモリ及びコンピュータの主記憶装置等に使用するメモリとして、S D R A M が広く利用されている。S D R A M は記憶領域であるバンクを複数有する。S D R A M を制御するメモリ制御回路は、外部からのコマンドリクエストに応じて S D R A M にコマンドを供給する。コマンドとしては、アクティブコマンド、ライトコマンド、リードコマンド、及びプリチャージコマンド等がある。メモリ制御回路はバンク毎のコマンドリクエストから 1 クロックサイクルで 1 つのコマンドを生成する。メモリ制御回路は、適切なタイミングでコマンドを生成するため、コマンドの生成を管理するステートマシンをバンク毎に備える。「ステートマシン」は、入力条件により予め設定された複数のステートを順に遷移する回路である。バンク毎のステートマシンが互いのステートを監視し、コマンドの生成を効率的に行う手法が提案されている (例えば、特許文献 1 参照。 ) 。

##### 【 0 0 0 3 】

#### 【特許文献 1】

特開 2 0 0 2 - 2 8 8 0 3 7 号公報

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

バンク毎のステートマシンが互いのステートを監視するためには、他のステートマシンのステート情報及び他のステートマシンの 1 クロックサイクル後のステート情報が入力条件として必要となる。ステートマシンの回路規模及び複雑度は入力条件の数に比例して増大するため、メモリ制御回路の設計期間及び回路規模が増大する。また、ステートマシン同士が情報をやり取りするので、データが安定しないタイミングループが発生する。

## 【 0 0 0 5 】

上記問題点を鑑み、本発明は、コマンドの生成を効率的に行い、且つ、小回路規模で構成可能なメモリ制御回路、半導体集積回路及びメモリ制御方法を提供することを目的とする。

## 【 0 0 0 6 】

## 【課題を解決するための手段】

上記目的を達成する為に、本発明の第 1 の特徴は、（イ）メモリが有する複数のバンクのそれぞれに対するコマンドリクエストに応じて複数のステート情報をそれぞれ生成するステート生成部；（ロ）複数のステート情報の有効性の有無をそれぞれ指示する複数のイネーブル信号を生成するイネーブル信号生成部；（ハ）複数のステート情報と複数のイネーブル信号とに基づいてコマンドを生成するバンク制御回路を備えるメモリ制御回路であることを要旨とする。

## 【 0 0 0 7 】

本発明の第 2 の特徴は、（イ）半導体チップ；（ロ）半導体チップ上に集積化され、メモリが有する複数のバンクのそれぞれに対するコマンドリクエストに応じて複数のステート情報及び複数のステート情報の有効性の有無を指示する複数のイネーブル信号をそれぞれ生成してメモリを制御するメモリ制御回路；（ハ）半導体チップ上に集積化され、各種信号処理を実行してコマンドリクエストをメモリ制御回路に伝達する信号処理回路を備える半導体集積回路であることを要旨とする。

本発明の第 3 の特徴は、（イ）メモリが有する複数のバンクのそれぞれに対す

るコマンドリクエストに応じて複数のステート情報をそれぞれ生成し；（ロ）複数のステート情報の有効性の有無をそれぞれ指示する複数のイネーブル信号を生成し；（ハ）複数のステート情報と複数のイネーブル信号とに基づいてコマンドを生成することを含むメモリ制御方法であることを要旨とする。

#### 【 0 0 0 8 】

##### 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。この実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

#### 【 0 0 0 9 】

本発明の実施の形態に係るメモリシステムは、図 1 に示すように、メモリ 2、メモリ 2 に接続されたメモリ制御回路 1 a、メモリ制御回路 1 a に接続されたシステムバス 4、システムバス 4 に接続された信号処理回路 3 を備える。メモリ制御回路 1 a は、メモリ 2 が有する複数のバンク B 0、B 1、……のそれぞれに対するコマンドリクエスト CMR 1、CMR 2、……に応じて複数のステート情報 S T 1、S T 2、……及び複数のステート情報 S T 1、S T 2、……の有効性の有無を指示する複数のイネーブル信号 E N 1、E N 2、……をそれぞれ生成してメモリ 2 を制御する。ここで、「ステート情報」とは、メモリ 2 に供給されるコマンド C O M の生成に必要な情報であることを意味する。信号処理回路 3 は各種信号処理を実行し、システムバス 4 を介してコマンドリクエスト CMR をメモリ制御回路 1 a に伝達する。メモリ 2 としては、第 1 バンク B 0、第 2 バンク B 1、……等の複数のバンクを有する S D R A M が使用できる。信号処理回路 3 は、複数個の信号処理コア 3 a、3 b、……を備える。

#### 【 0 0 1 0 】

メモリ制御回路 1 a は、システムバス 4 とメモリ 2 との間に接続されたデータ制御回路 9、システムバス 4 に接続されたデマルチプレクサ 7 a、デマルチプレクサ 7 a に接続されたステート生成部 5 a、ステート生成部 5 a に接続されたイネーブル信号生成部 6 a、ステート生成部 5 a 及びイネーブル信号生成部 6 a に接続されたバンク制御回路 8 a を備える。ステート生成部 5 a は複数のバンク B

0, B1, ……のそれぞれに対するコマンドリクエストに応じて複数のステート情報ST1, ST2, ……をそれぞれ生成する。イネーブル信号生成部6aは、複数のステート情報ST1, ST2, ……の有効性の有無をそれぞれ指示する複数のイネーブル信号EN1, EN2, ……を生成する。バンク制御回路8aは、複数のステート情報ST1, ST2, ……と複数のイネーブル信号EN1, EN2, ……とに基づいてコマンドCOMを生成する。データ制御回路9は、システムバス4とメモリ2との間で入出力が行われる書き込み・読み出しデータD1及びD2を制御する。

### 【0011】

ステート生成部5aは、デマルチプレクサ7aとバンク制御回路8aとの間に接続された第1ステート生成回路51及び第2ステート生成回路52を備える。第1ステート生成回路51は、複数のステート情報ST1, ST2, ……の1つである第1ステート情報ST1及び第1ステート情報ST1の1クロックサイクル後のステートを示す第1の次サイクルステート情報CST1を生成する。第2ステート生成回路52は、複数のステート情報ST1, ST2, ……の1つである第2ステート情報ST2及び第2ステート情報ST2の1クロックサイクル後のステートを示す第2の次サイクルステート情報CST2を生成する。尚、デマルチプレクサ7aは、例えば第1のコマンドリクエストCMR1及び第2コマンドリクエストCMR2を第1ステート生成回路51及び第2ステート生成回路52にそれぞれ供給する。

### 【0012】

また、イネーブル信号生成部6aは、ステート生成部5aとバンク制御回路8aとの間に接続された第1イネーブル信号生成回路61及び第2イネーブル信号生成回路62を備える。第1イネーブル信号生成回路61は、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2に基づき、複数のイネーブル信号EN1, EN2, ……の1つである第1イネーブル信号EN1を生成する。第2イネーブル信号生成回路62は、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2に基づき、複数のイネーブル信号EN1, EN2, ……の1つである第2イネーブル信号EN2を

生成する。

### 【0013】

更に、第1ステート生成回路51は、デマルチプレクサ7a及びバンク制御回路8aに接続された第1ステートマシン51a、第1ステートマシン51aに接続された第1ステートレジスタ51bを備える。第1ステートマシン51aは、第1コマンドリクエストCMR1及び第1ステート情報ST1に基づいて第1の次サイクルステート情報CST1を作成する。第1ステートレジスタ51bは、第1の次サイクルステート情報CST1をラッチし、第1ステート情報ST1としてバンク制御回路8aに供給する。

### 【0014】

第2ステート生成回路52は、デマルチプレクサ7a及びバンク制御回路8aに接続された第2ステートマシン52a、第2ステートマシン52aに接続された第2ステートレジスタ52bを備える。第2ステートマシン52aは、第2コマンドリクエストCMR2及び第2ステート情報ST2に基づいて第2の次サイクルステート情報CST2を作成する。第2ステートレジスタ52bは、第2の次サイクルステート情報CST2をラッチし、第2ステート情報ST2としてバンク制御回路8aに供給する。

### 【0015】

一方、第1イネーブル信号生成回路61は、第1ステートマシン51aと第1ステートレジスタ51bとの接続点及び第2ステートマシン52aと第2ステートレジスタ52bとの接続点に接続された第1判定回路61a、第1判定回路61aとバンク制御回路8aとの間に接続された第1イネーブルレジスタ61bを備える。第1判定回路61aは、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2を優先度付けして第1の次サイクルイネーブル信号CEN1を生成する。第1イネーブルレジスタ61bは、第1の次サイクルステート情報信号CEN1をラッチし、第1イネーブル信号EN1としてバンク制御回路8aに供給する。

### 【0016】

第2イネーブル信号生成回路62は、第2ステートマシン52aと第2ステ

トレジスタ 52b との接続点及び第 2 ステートマシン 52a と第 2 ステートレジスタ 52b との接続点に接続された第 2 判定回路 62a、第 2 判定回路 62a とバンク制御回路 8a との間に接続された第 2 イネーブルレジスタ 62b を備える。第 2 判定回路 62a は、第 2 の次サイクルステート情報 CST2 及び第 2 の次サイクルステート情報 CST2 を優先度付けして第 2 の次サイクルイネーブル信号 CEN2 を生成する。第 2 イネーブルレジスタ 62b は、第 2 の次サイクルステート情報信号 CEN2 をラッチし、第 2 イネーブル信号 EN2 としてバンク制御回路 8a に供給する。

#### 【0017】

バンク制御回路 8a は、図 2 に示すように、第 1 ステート情報端子 80a 及び第 1 イネーブル端子 80c に接続された第 1 コマンド生成回路 81、第 2 ステート情報端子 80b 及び第 2 イネーブル端子 80d に接続された第 2 コマンド生成回路 82、第 1 コマンド生成回路 81 及び第 2 コマンド生成回路 82 に入力側が接続され、コマンド出力端子 80e に出力側が接続されたコマンドレジスタ 86、第 1 イネーブル端子 80c 及び第 2 イネーブル端子 80d に接続されたバンク選択回路 83a、及びバンク選択回路 83a とバンクセレクト端子 80f との間に接続されたセレクト信号レジスタ 87 を備える。第 1 コマンド生成回路 81 は、第 1 イネーブル信号 EN1 が有効時に第 1 ステート情報 ST1 からコマンド COM を作成する。第 2 コマンド生成回路 82 は、第 2 イネーブル信号 EN2 が有効時に第 2 ステート情報 ST2 からコマンド COM を作成する。コマンドレジスタ 86 は、コマンド COM をラッチしてコマンド出力端子 80e に供給する。バンク選択回路 83a は、第 1 イネーブル信号 EN1 及び第 2 イネーブル信号 EN2 に基づいてバンク選択信号 BSL を生成する。セレクト信号レジスタ 87 は、バンク選択信号 BSL をラッチしてバンクセレクト端子 80f に供給する。

#### 【0018】

図 1 に示す第 1 判定回路 61a は、図 3 に示すような対応付けにより、第 1 の次サイクルイネーブル信号 CEN1 を生成する。図 3 の表に示す論理値”1”は第 1 の次サイクルイネーブル信号 CEN1 が有効であることを示している。論理値”0”は第 1 の次サイクルイネーブル信号 CEN1 が無効であることを示して

いる。即ち、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2が等しいステートの場合はいずれも優先度無しと判断される。第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2のいずれかがリード及びライトを意味するステートである場合はリード及びライトを意味するステートが優先度有りとは判断される。また、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2の組み合わせが、アクティブを意味するステート及びプリチャージを意味するステートの組み合わせである場合、アクティブを意味するステートが優先度有りとは判断される。

#### 【0019】

これに対して、第2判定回路62aは、図4に示すような対応付けにより、第2の次サイクルイネーブル信号CEN2を生成する。図4の表に示す論理値”1”は第2の次サイクルイネーブル信号CEN2が有効であることを示している。論理値”0”は第2の次サイクルイネーブル信号CEN2が無効であることを示している。第1判定回路61a及び第2判定回路62aは、図3及び図4に示すように、次サイクルイネーブル信号CEN1及び第2の次サイクルイネーブル信号CEN2のいずれか一方のみを有効としている。このため、第1ステートマシン51a及び第2ステートマシン52aは、互いのステートを監視することなく、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2をそれぞれ生成する。

#### 【0020】

次に、図1～図6を用いて実施の形態に係るメモリ制御方法を説明する。

#### 【0021】

(イ) 先ず、図5のステップS101において、図1に示す第1ステートマシン51aは、図6(c)に示すように、図6(e)に示す第1ステート情報ST1及び図6(a)に示す第1コマンドリクエストCMR1を入力条件として第1の次サイクルステート情報CST1を生成する。更に、第2ステートマシン52aは、図6(d)に示すように、図6(f)に示す第2ステート情報ST2及び図6(b)に示す第2コマンドリクエストCMR2に基づき、第2の次サイクルステート情報CST2を生成する。図6(a)～(f)において、Iはアイドリ



ングを、Aはアクティブを、WTはウェイトを、Rはリードを、Pはプリチャージをそれぞれ示す。更に図6（k）に示すように、アクティブA、リードR、及びプリチャージPはコマンド生成を意味するステート情報である。第1ステートマシン51a及び第2ステートマシン52aは、図6（c）及び（d）のクロックサイクル4及び8において、コマンド生成を意味する第1の次サイクルステート情報CST1及び第1の次サイクルステート情報CST1を同時に作成している。第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2は、第1ステートレジスタ51b及び第2ステートレジスタ52bによりラッチされる。この結果、図6（e）及び（f）に示すように、第1ステート情報ST1及び第2ステート情報ST2が生成される。

#### 【0022】

（ロ）次に、ステップS102において、第1判定回路61aは、図3に示す対応付けに基づいて第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2の優先度を判定する。図6（g）のクロックサイクル1においては図6（c）に示す第1の次サイクルステート情報CST1及び図6（d）に示す第2の次サイクルステート情報CST2はそれぞれアクティブA及びアイドリングIなので、第1判定回路61aはアクティブAを優先度有りと判定する。図6（g）のクロックサイクル4においては第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2はそれぞれリードR及びアクティブAなので、第1判定回路61aはリードRを優先度有りと判定する。図6（g）のクロックサイクル6においては第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2はそれぞれリードR及びウェイトWTなので、第1判定回路61aはリードRを優先度有りと判定する。図6（g）のクロックサイクル9においては第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2はそれぞれプリチャージP及びウェイトWTなので、第1判定回路61aはプリチャージPを優先度有りと判定する。

#### 【0023】

（ハ）これに対して、第2判定回路62aは、図4に示す対応付けに基づいて第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CS

T2の優先度を判定する。図6(h)のクロックサイクル5においては、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2はそれぞれウェイトWT及びアクティブAなので、第2判定回路62aはアクティブAを優先度有りと判定する。図6(h)のクロックサイクル8においては、第1の次サイクルステート情報CST1及び第2の次サイクルステート情報CST2はそれぞれプリチャージP及びリードRなので、第2判定回路62aはリードRを優先度有りと判定する。

#### 【0024】

(二) 次に、ステップS103において、第1判定回路61aは、ステップS102で判定した優先度に応じて第1の次サイクルイネーブル信号CEN1を生成する。これに対して、第2判定回路62aは、第2の次サイクルイネーブル信号CEN2を生成する。この結果、第1判定回路61aは、図6(g)のクロックサイクル1、4、6、及び9において論理値”1”を生成する。また、第1判定回路61aは、図6(g)のクロックサイクル2、3、5、7、8、及び10～12において論理値”0”を生成する。第2判定回路62aは、図6(h)のクロックサイクル5、8、10、及び12において論理値”1”を生成する。第2判定回路62aは、図6(h)のクロックサイクル1～4、6、7、9、及び11において論理値”0”を生成する。第1の次サイクルイネーブル信号CEN1及び第1の次サイクルイネーブル信号CEN1は、第1イネーブルレジスタ61b及び第2イネーブルレジスタ62bによりラッチされる。この結果、図6(i)及び(j)に示すように第1イネーブル信号EN1及び第2イネーブル信号EN2が生成される。

#### 【0025】

(ホ) 次に、ステップS104において、図2に示す第1コマンド生成回路81は、第1イネーブル信号EN1が論理値”1”、且つ、第1ステートST1がコマンド発生を意味するステートである場合に、第1ステートST1に対応するコマンドを生成する。また、第2コマンド生成回路82は、第2イネーブル信号EN1が論理値”1”、且つ、第2ステートST2がコマンド発生を意味するステートである場合に、第2ステートST2に対応するコマンドを生成する。更に

、バンク選択回路 83a は、第 1 イネーブル信号 EN1 及び第 2 イネーブル信号 EN2 のいずれかが論理値” 1 ”である場合、第 1 イネーブル信号 EN1 が論理値” 1 ”であれば第 1 バンク B0 を選択し、第 2 イネーブル信号 EN2 が論理値” 1 ”であれば第 2 バンク B1 を選択する。

#### 【0026】

(へ) 第 1 コマンド生成回路 81 及びコマンドレジスタ 86 は、図 6 (k) のクロックサイクル 3 に示すように、図 6 (e) のクロックサイクル 2 におけるアクティブ A を示す第 1 ステート情報 ST1 に基づき、コマンド COM としてアクティブコマンドを作成する。図 6 (k) 及び (l) に示すように、クロックサイクル 3 で作成されたアクティブコマンドは、バンク選択信号 BSL により第 1 バンク B0 に対して実行される。第 1 コマンド生成回路 81 及びコマンドレジスタ 86 は、図 6 (k) のクロックサイクル 6 に示すように、図 6 (e) のクロックサイクル 5 におけるリード R を示す第 1 ステート情報 ST1 に基づき、コマンド COM としてリードコマンドを作成する。図 6 (k) 及び (l) に示すように、クロックサイクル 6 で作成されたリードコマンドは、バンク選択信号 BSL により第 1 バンク B0 に対して実行される。第 2 コマンド生成回路 82 及びコマンドレジスタ 86 は、図 6 (k) のクロックサイクル 7 に示すように、図 6 (f) のクロックサイクル 6 におけるアクティブ A を示す第 2 ステート情報 ST2 に基づき、コマンド COM としてアクティブコマンドを作成する。図 6 (k) 及び (l) に示すように、クロックサイクル 7 で作成されたアクティブコマンドは、バンク選択信号 BSL により第 2 バンク B1 に対して実行される。図 6 (k) 及び (l) のクロックサイクル 8 ~ 14 においても同様の処理が実行される。メモリ 2 は、バンク制御回路 8a により制御され、データ制御回路 9 を介してシステムバス 4 に対して書き込み・読み出しデータ D1 及び D2 を入出力する。

#### 【0027】

このように、実施の形態に係る第 1 ステートマシン 51a 及び第 2 ステートマシン 52a は、互いに情報を送受信しないためにそれぞれの回路規模及び複雑度が増大しない。また、第 1 判定回路 61a 及び第 2 判定回路 62a は、図 3 及び図 4 から分かるように、第 1 ステートマシン 51a 及び第 2 ステートマシン 52

aと異なり単純な論理により構成可能である。したがって、コマンドの生成を効率的に行い、且つ、小回路規模で構成可能なメモリ制御回路1aを構成できる。更に、複雑度が増大しないので、タイミンググループが発生せず、短時間で設計可能なメモリ制御回路1aを構成できる。

#### 【0028】

なお、図1に示したメモリ制御回路1a、システムバス4、及び信号処理回路3は、例えば図7に示すように、同一の半導体チップ92上にモノリシックに集積化し、半導体集積回路91を形成できる。図4に示す例においては、半導体集積回路91は、半導体チップ92上にボンディングパッド93、94、及び95を備えている。ボンディングパッド93は、メモリ2と書き込み・読み出しデータD2を入出力する為の内部端子である。ボンディングパッド94は、コマンドCOMをメモリ2に伝達する為の内部端子である。ボンディングパッド95は、バンクセレクト信号BSLをメモリ2に伝達する為の内部端子である。

#### 【0029】

##### (実施の形態の変形例)

本発明の実施の形態の変形例に係るメモリ制御回路1bは、例えば図8に示すように、4バンクを有するSDRAMに対応可能な構成でも良い。即ち、デマルチプレクサ7bは、複数のバンクのそれぞれに対するコマンドリクエストとして、第1コマンドリクエストCMR1、第2コマンドリクエストCMR2、第3コマンドリクエストCMR3、及び第4コマンドリクエストCMR4をステート生成部5bに供給する。ステート生成部5bは、第3コマンドリクエストCMR3及び第4コマンドリクエストCMR4に応じて複数のステート情報ST1、ST2……を構成する第3ステート情報ST3及び第4ステート情報ST4を更に生成する点が図1に示したステート生成部5aと異なる。イネーブル信号生成部6bは、第3ステート情報ST3及び第4ステート情報ST4の有効性の有無をそれぞれ指示する第3イネーブル信号EN3及び第4イネーブル信号EN4を更に生成する点が図1に示したイネーブル信号生成部6aと異なる。バンク制御回路8bは、第3ステート情報ST3、第4ステート情報ST4、第3イネーブル

信号EN3、及び第4イネーブル信号EN4を更に受け取る。

【0030】

詳細にはステート生成部5bは、デマルチプレクサ7bとバンク制御回路8bとの間に接続された第3ステート生成回路53及び第4ステート生成回路54を更に備える。第3ステート生成回路53は、第3ステート情報ST3及び第3ステート情報ST3の1クロックサイクル後のステートを示す第3の次サイクルステート情報CST3を生成する。第4ステート生成回路54は、第4ステート情報ST4及び第4ステート情報ST4の1クロックサイクル後のステートを示す第4の次サイクルステート情報CST4を生成する。

【0031】

また、イネーブル信号生成部6bは、ステート生成部5bとバンク制御回路8bとの間に接続された第3イネーブル信号生成回路63及び第4イネーブル信号生成回路64を更に備える。第1イネーブル信号生成回路610は、第1～第4の次サイクルステート情報CST1～CST4に基づいて第1イネーブル信号EN1を生成する。第2イネーブル信号生成回路620は、第1～第4の次サイクルステート情報CST1～CST4に基づいて第2イネーブル信号EN2を生成する。第3イネーブル信号生成回路63aは、第1～第4の次サイクルステート情報CST1～CST4に基づいて第3イネーブル信号EN3を生成する。第4イネーブル信号生成回路64は、第1～第4の次サイクルステート情報CST1～CST4に基づいて第4イネーブル信号EN4を生成する。

【0032】

更に、第3ステート生成回路53は、デマルチプレクサ7b及びバンク制御回路8bに接続された第3ステートマシン53a、第3ステートマシン53aに接続された第3ステートレジスタ53bを備える。第3ステートマシン53aは、第3コマンドリクエストCMR3及び第3ステート情報ST3に基づいて第3の次サイクルステート情報CST3を作成する。第3ステートレジスタ53bは、第3の次サイクルステート情報CST3をラッチし、第3ステート情報ST3としてバンク制御回路8bに供給する。

【0033】

第4ステート生成回路54は、デマルチプレクサ7b及びバンク制御回路8bに接続された第4ステートマシン54a、第4ステートマシン54aに接続された第4ステートレジスタ54bを備える。第4ステートマシン54aは、第4コマンドリクエストCMR4及び第4ステート情報ST4に基づいて第4の次サイクルステート情報CST4を作成する。第4ステートレジスタ54bは、第4の次サイクルステート情報CST4をラッチし、第4ステート情報ST4としてバンク制御回路8bに供給する。

#### 【0034】

一方、第3イネーブル信号生成回路63は、第1ステートマシン51aと第1ステートレジスタ51bとの接続点、第2ステートマシン52aと第2ステートレジスタ52bとの接続点、第3ステートマシン53aと第2ステートレジスタ53bとの接続点、及び第4ステートマシン54aと第4ステートレジスタ54bとの接続点に接続された第3判定回路63a、第3判定回路63aとバンク制御回路8bとの間に接続された第3イネーブルレジスタ63bを備える。第3判定回路63aは、第1～第4の次サイクルステート情報CST1～CST4を優先度付けして第3の次サイクルイネーブル信号CEN3を生成する。第3イネーブルレジスタ63bは、第3の次サイクルイネーブル信号CEN3をラッチし、第3イネーブル信号EN3としてバンク制御回路8bに供給する。

#### 【0035】

第4イネーブル信号生成回路64は、第1ステートマシン51aと第1ステートレジスタ51bとの接続点、第2ステートマシン52aと第2ステートレジスタ52bとの接続点、第3ステートマシン53aと第3ステートレジスタ53bとの接続点、及び第4ステートマシン54aと第4ステートレジスタ54bとの接続点に接続された第4判定回路64a、第4判定回路64aとバンク制御回路8bとの間に接続された第4イネーブルレジスタ64bを備える。第4判定回路64aは、第1～第4の次サイクルステート情報CST1～CST4を優先度付けして第4の次サイクルイネーブル信号CEN4を生成する。第4イネーブルレジスタ64bは、第4の次サイクルイネーブル信号CEN4をラッチし、第4イネーブル信号EN4としてバンク制御回路8bに供給する。

## 【0036】

また、第1判定回路61c及び第2判定回路62cには、第3ステートマシン53aと第3ステートレジスタ53bとの接続点及び第4ステートマシン54aと第4ステートレジスタ54bとの接続点がそれぞれ接続される。第1判定回路61cは、第1～第4の次サイクルステート情報CST1～CST4を優先度付けして第1の次サイクルイネーブル信号CEN1を生成する。第2判定回路62cは、第1～第4の次サイクルステート情報CST1～CST4に基づいて第2の次サイクルイネーブル信号CEN2を生成する。

## 【0037】

更に、バンク制御回路8bは、図9に示すように、第1ステート情報端子90a及び第1イネーブル端子90gに接続された第1コマンド生成回路81、第2ステート情報端子90b及び第2イネーブル端子90hに接続された第2コマンド生成回路82、第3ステート情報端子90c及び第3イネーブル端子90iに接続された第3コマンド生成回路84、第4ステート情報端子90d及び第4イネーブル端子90jに接続された第4コマンド生成回路85、第1～第4コマンド生成回路81、82、84及び85に入力側が接続され、コマンド出力端子90eに出力側が接続されたコマンドレジスタ86、第1イネーブル端子90g、第2イネーブル端子90h、第3イネーブル端子90i、及び第4イネーブル端子90jにバンクセレクト端子90fに接続されたバンク選択回路83b、及びバンク選択回路83bとバンクセレクト端子90fとの間に接続されたセレクト信号レジスタ87を備える。第3コマンド生成回路84は、第3イネーブル信号EN3が有効時に第3ステート情報ST3からコマンドCOMを作成する。第4コマンド生成回路85は、第4イネーブル信号EN4が有効時に第4ステート情報ST4からコマンドCOMを作成する。バンク選択回路83bは、第1～第4イネーブル信号EN1～EN4に基づいてバンクセレクト信号BSLを生成する。第1コマンド生成回路81、第2コマンド生成回路82、コマンドレジスタ86、及セレクト信号レジスタ87の機能は図2と同様である。

## 【0038】

実施の形態の変形例に係る第1～第4ステートマシン52a～54aは、互い

に情報を送受信しないためにそれぞれの回路規模及び複雑度が増大しない。これに対して、バンク毎のステートマシンが互いのステートを監視する構成は、各ステートマシンの入力条件が非常に複雑となる。よって、4バンクを有するSDRAMに対しても、コマンドの生成を効率的に行い、且つ、小回路規模で構成可能なメモリ制御回路1bを提供できる。

#### 【0039】

(その他の実施の形態)

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

#### 【0040】

上述した実施の形態においては、メモリ制御回路1a及び1bが、バンク数が2及び4のメモリをそれぞれ制御する一例を説明した。しかし、実施の形態に係るメモリ制御回路1aは、バンク数nのメモリに応用できる(n; 2以上の整数)。

#### 【0041】

また、実施の形態の説明においては、図1に示すメモリ2を図7に示す半導体チップ92上に集積化しないとして説明した。しかし、メモリ2を半導体チップ92上に更に集積化可能である。更に、実施の形態の変形例に係るメモリ制御回路1bは、図7と同様に半導体集積回路として構成できる。この場合においても、メモリ2を半導体チップ92上に集積化可能である。

#### 【0042】

このように本発明は、ここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

#### 【0043】

【発明の効果】

本発明によれば、コマンドの生成を効率的に行い、且つ、小回路規模で構成可



能なメモリ制御回路、半導体集積回路及びメモリ制御方法を提供できる。

【図面の簡単な説明】

【図 1】

実施の形態に係るメモリシステムの構成を示すブロック図である。

【図 2】

実施の形態に係るバンク制御回路の構成を示すブロック図である。

【図 3】

実施の形態に係る第 1 判定回路の機能を説明する表である。

【図 4】

実施の形態に係る第 2 判定回路の機能を説明する表である。

【図 5】

実施の形態に係るメモリ制御方法を示すフローチャートである。

【図 6】

実施の形態に係るメモリ制御回路の動作を示すタイムチャートである。

【図 7】

実施の形態に係る半導体集積回路の構成を示す模式図である。

【図 8】

実施の形態の変形例に係るメモリ制御回路の構成を示すブロック図である。

【図 9】

実施の形態の変形例に係るバンク制御回路の構成を示すブロック図である。

【符号の説明】

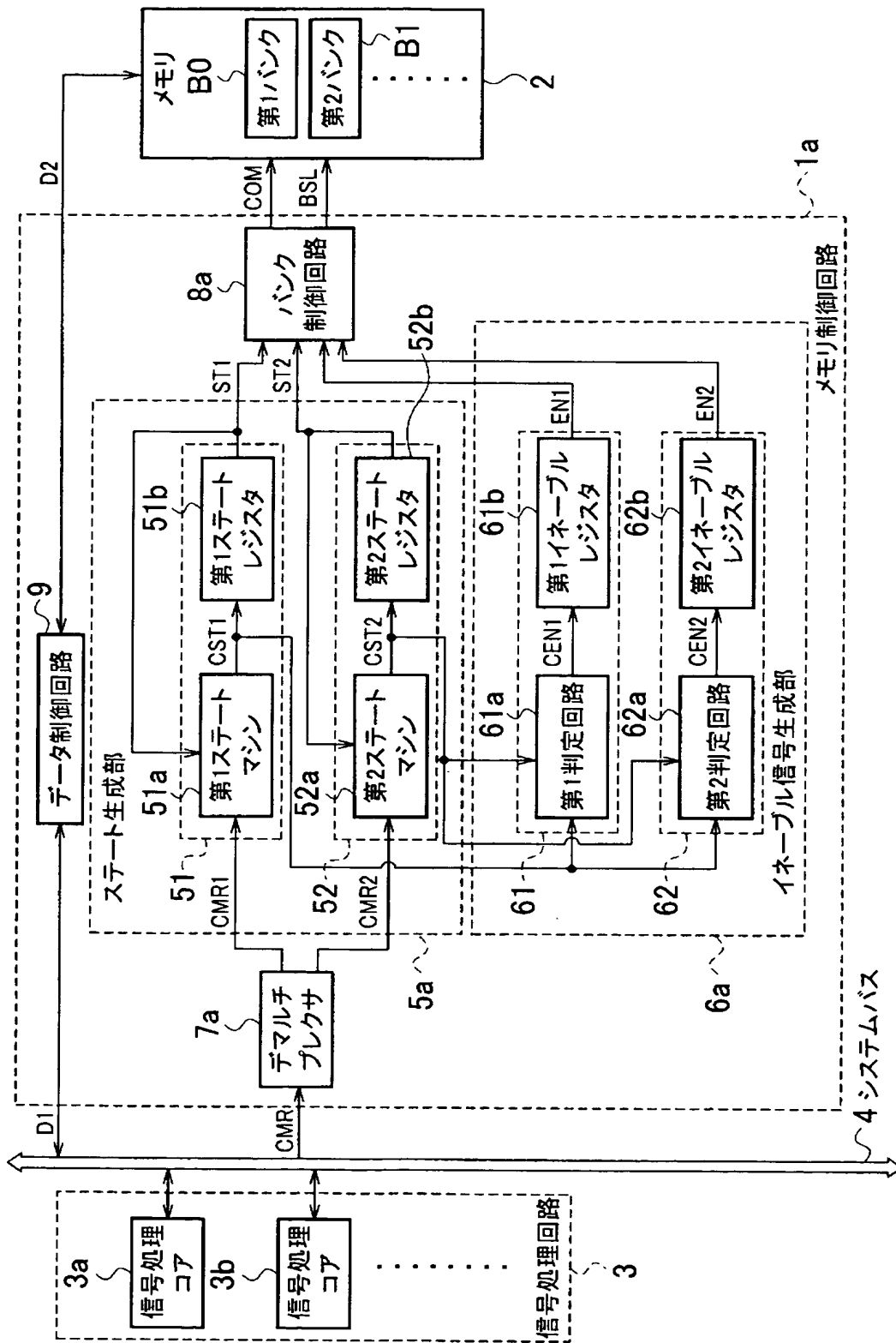
- 1 a、1 b…メモリ制御回路
- 3…信号処理回路
- 3 a、3 b……… …信号処理コア
- 4…システムバス
- 5 a、5 b…ステート生成部
- 6 a、6 b…イネーブル信号生成部
- 7 a、7 b…デマルチプレクサ
- 8 a、8 b…バンク制御回路

9…データ制御回路  
5 1…第 1 ステート生成回路  
5 1 a…第 1 ステートマシン  
5 1 b…第 1 ステートレジスタ  
5 2…第 2 ステート生成回路  
5 2 a…第 2 ステートマシン  
5 2 b…第 2 ステートレジスタ  
5 3…第 3 ステート生成回路  
5 3 a…第 3 ステートマシン  
5 3 b…第 3 ステートレジスタ  
5 4…第 4 ステート生成回路  
5 4 a…第 4 ステートマシン  
5 4 b…第 4 ステートレジスタ  
6 1、6 1 0…第 1 イネーブル信号生成回路  
6 1 a、6 1 c…第 1 判定回路  
6 1 b…第 1 イネーブルレジスタ  
6 2、6 2 0…第 2 イネーブル信号生成回路  
6 2 a、6 2 c…第 2 判定回路  
6 2 b…第 2 イネーブルレジスタ  
6 3…第 3 イネーブル信号生成回路  
6 3 a…第 3 判定回路  
6 3 b…第 3 イネーブルレジスタ  
6 4…第 4 イネーブル信号生成回路  
6 4 a…第 4 判定回路  
6 4 b…第 4 イネーブルレジスタ  
8 6…コマンドレジスタ  
8 7…セレクト信号レジスタ  
8 0 a…第 1 ステート情報端子  
8 0 b…第 2 ステート情報端子

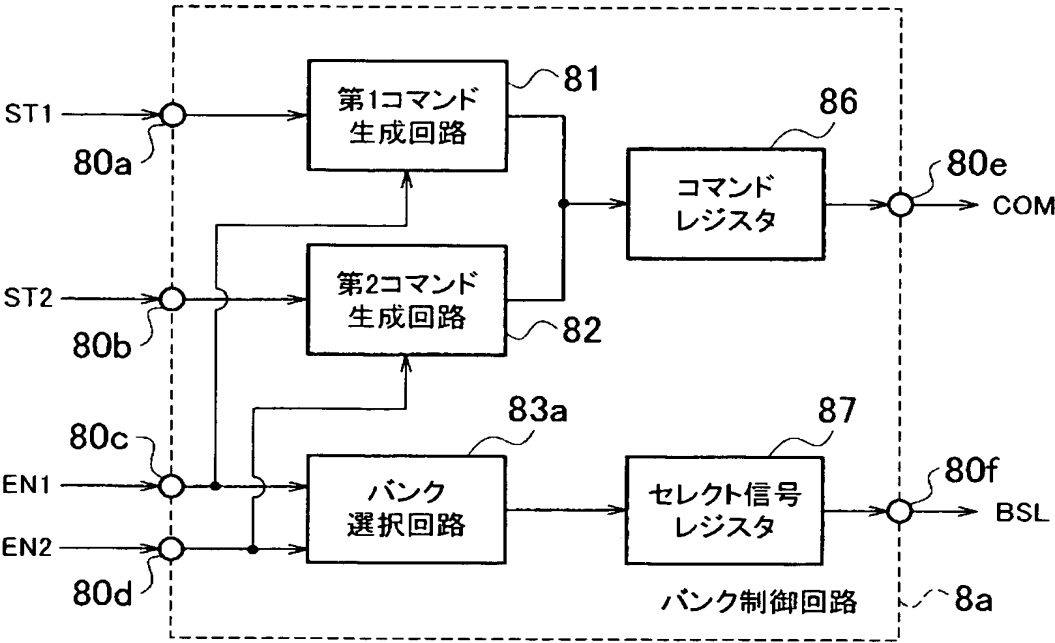
8 0 c、9 0 g…第 1 イネーブル端子  
8 0 d、9 0 h…第 2 イネーブル端子  
8 0 e…コマンド出力端子  
8 0 f…バンクセレクト端子  
8 1…第 1 コマンド生成回路  
8 2…第 2 コマンド生成回路  
8 3 a、8 3 b…バンク選択回路  
8 4…第 3 コマンド生成回路  
8 5…第 4 コマンド生成回路  
9 0 a…第 1 ステート情報端子  
9 0 b…第 2 ステート情報端子  
9 0 c…第 3 ステート情報端子  
9 0 d…第 4 ステート情報端子  
9 0 e…コマンド出力端子  
9 0 f…バンクセレクト端子  
9 0 i…第 3 イネーブル端子  
9 0 j…第 4 イネーブル端子  
9 1…半導体集積回路  
9 2…半導体チップ  
9 3～9 5…ボンディングパッド

【書類名】 図面

【図 1】



【図 2】



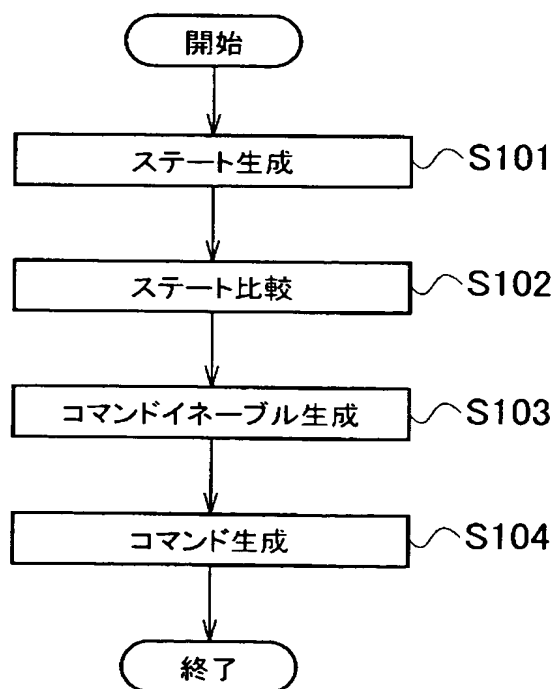
【図 3】

CST1 CST2	ウェイト	アクティブ	リード/ライト	プリチャージ
ウェイト	0	1	1	1
アクティブ	0	0	1	0
リード/ライト	0	0	0	0
プリチャージ	0	1	1	0

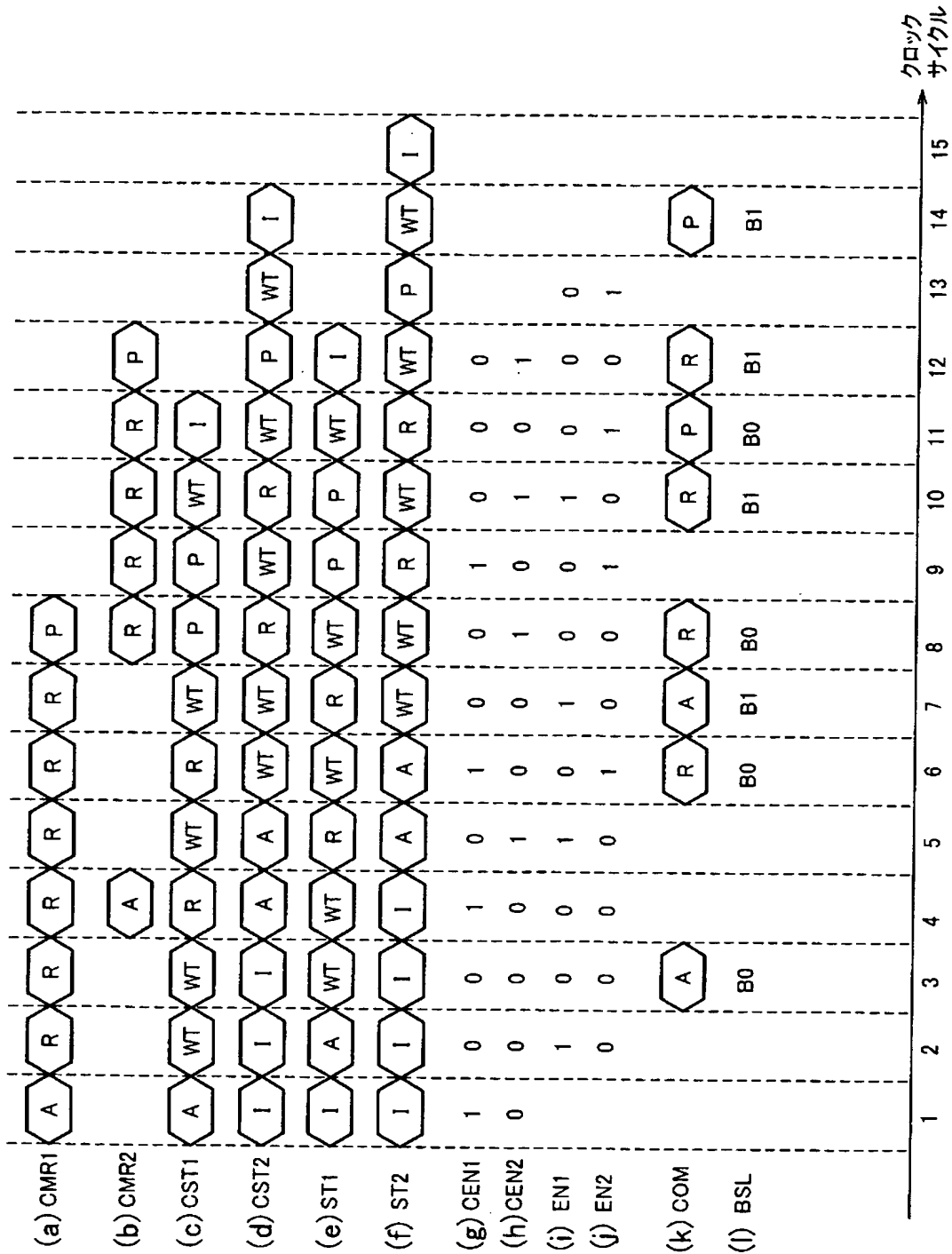
【図 4】

CST1 CST2	ウェイト	アクティブ	リード/ライト	プリチャージ
ウェイト	0	0	0	0
アクティブ	1	0	0	1
リード/ライト	1	1	0	1
プリチャージ	1	0	0	0

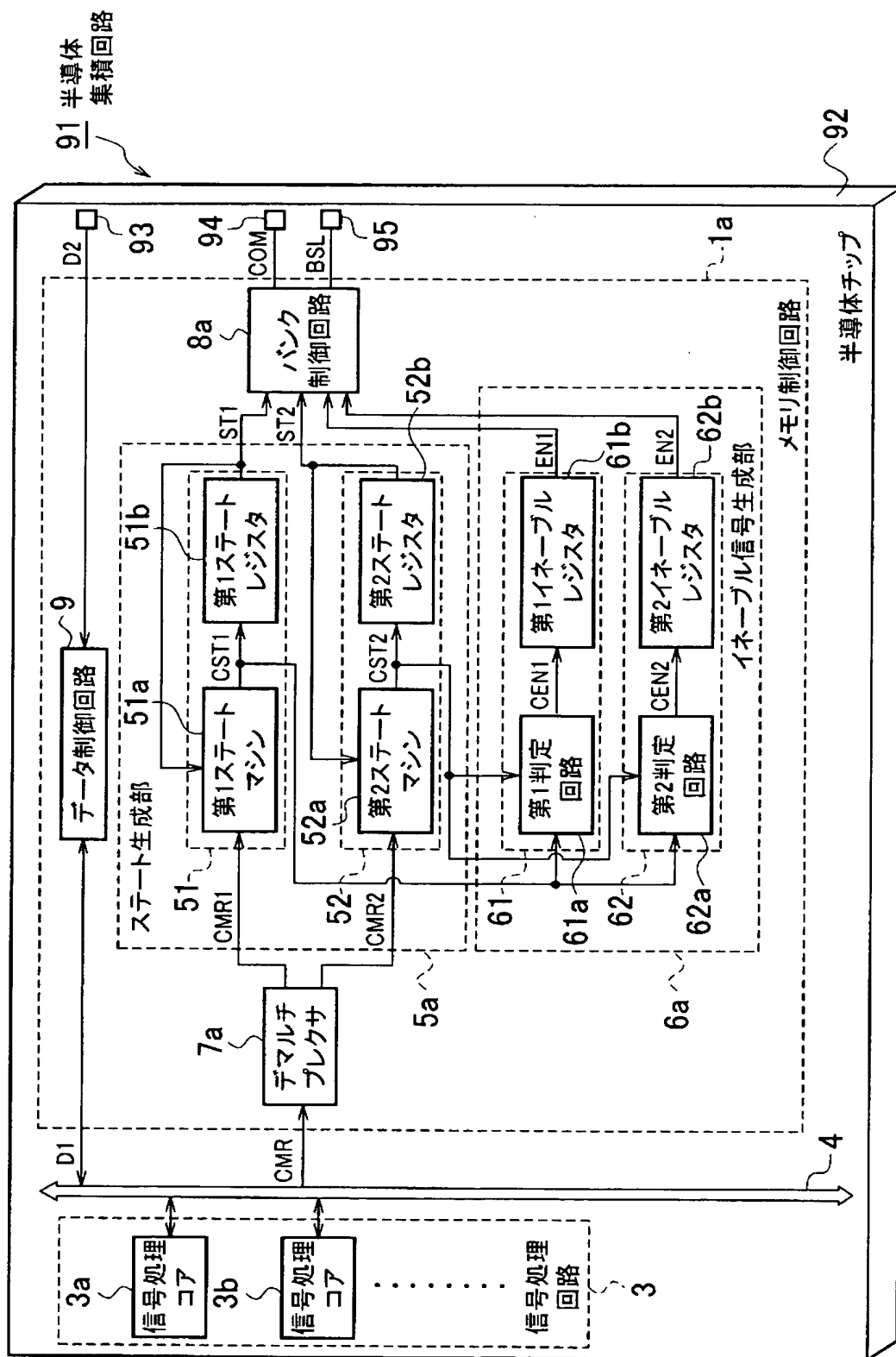
【図 5】



【図 6】



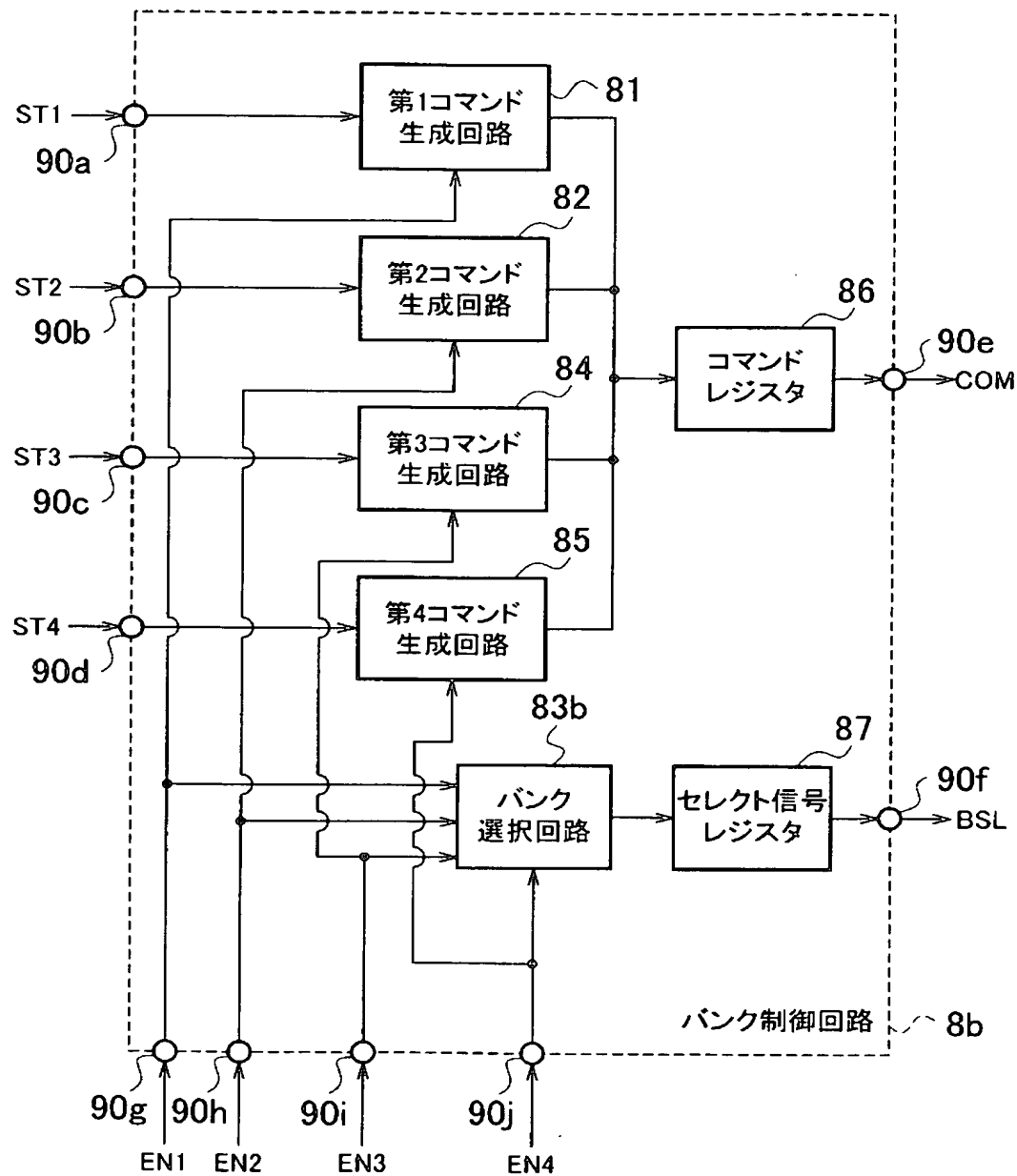
【圖 7】







【図 9】



【書類名】 要約書

【要約】

【課題】 コマンドの生成を効率的に行い、且つ、小回路規模で構成可能なメモリ制御回路、半導体集積回路及びメモリ制御方法を提供する。

【解決手段】 第 1 及び第 2 コマンドリクエスト CMR 1、CMR 2 に応じて第 1 及び第 2 ステート情報 S T 1、S T 2 を生成するステート生成部 5 a、第 1 及び第 2 ステート情報 S T 1、S T 2 の有効性の有無をそれぞれ指示する第 1 及び第 2 イネーブル信号 E N 1、E N 2 を生成するイネーブル信号生成部 6 a、第 1 及び第 2 ステート情報 S T 1、S T 2 と第 1 及び第 2 イネーブル信号 E N 1、E N 2 とを受け取るバンク制御回路 8 a を備える。

【選択図】 図 1

特願 2 0 0 3 - 1 9 4 4 6 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

- 1 . 変更年月日            1 9 9 0 年    8 月 2 2 日  
    [変更理由]            新規登録  
          住    所        神奈川県川崎市幸区堀川町 7 2 番地  
          氏    名        株式会社東芝
  
- 2 . 変更年月日            2 0 0 1 年    7 月    2 日  
    [変更理由]            住所変更  
          住    所        東京都港区芝浦一丁目 1 番 1 号  
          氏    名        株式会社東芝